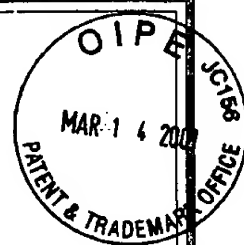


THIN FILM TRANSISTOR AND MANUFACTURE THEREOF

Patent Number: JP3227068
Publication date: 1991-10-08
Inventor(s): MIYAGAWA TATSUYA; others: 01
Applicant(s):: CASIO COMPUT CO LTD
Requested Patent: ☐ JP3227068
Application JP19900020408 19900201
Priority Number(s):
IPC Classification: H01L29/784
EC Classification:
Equivalents:

**Abstract**

PURPOSE:To obtain a thin film transistor improved for not only manufacturing yield but also operating characteristics by a method wherein a gate electrode composed of a low resistive first gate metal and an anodized second gate metal is formed on an insulating substrate, and a gate insulating film, an I-type semiconductor layer, an N-type semiconductor layer, and a source and a drain electrode are formed thereon.

CONSTITUTION:A low resistive conductive metal film is formed on an insulating substrate 11, the unused part is removed through etching to form a first gate metal 121, and a negative resist 18 is applied onto the whole surface, the rear of the substrate 11 is exposed to light to form a gap between the first gate metal 121 and the resist 18. Then, a tantalum film serving as a second gate metal 122 is formed on the whole face, the resist 18 and the tantalum film formed on the resist 18 are removed together, the surface of the second gate metal 122 is anodized to form an insulating layer 123. Then, a gate insulating film 13, an I-type semiconductor layer 14, and an N-type semiconductor layer 15 are formed in multilayer, and a source electrode 16 and a drain electrode 17 are formed.

Data supplied from the esp@cenet database - 12

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-227068

⑪ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月8日

H 01 L 29/784

9056-5F

H 01 L 29/78

3 1 1 G

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 薄膜トランジスタおよびその製造方法

⑮ 特 願 平2-20408

⑯ 出 願 平2(1990)2月1日

⑰ 発 明 者 宮 川 達 也 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑱ 発 明 者 若 井 晴 夫 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

薄膜トランジスタおよびその製造方法

2. 特許請求の範囲

(1) 絶縁性基板と、この基板上に形成される低抵抗の第1のゲート金属と該第1のゲート金属上に形成される少なくとも表面が陽極酸化された第2のゲート金属とからなるゲート電極と、このゲート電極上に形成されるゲート絶縁膜、i型半導体層、n型半導体層およびソース・ドレイン電極とを具備したことを特徴とする薄膜トランジスタ。

(2) 絶縁性基板上に低抵抗の導電性金属膜よりなる第1のゲート金属を形成し、上記第1のゲート金属上に第2のゲート金属を形成して上記第2のゲート金属の少なくとも表面を陽極酸化して絶縁層を形成することによりゲート電極を形成する工程と、この後、ゲート絶縁膜、i型半導体層、n型半導体層およびソース・ドレイン電極を形成する工程とからなることを特徴とする薄膜トラン

ジスタの製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、薄膜トランジスタおよびその製造方法に関するものである。

[従来の技術]

従来、薄膜トランジスタとして第3図に示すような逆スタガー型のものがある。この逆スタガー型薄膜トランジスタは、ガラスなどの絶縁性基板1上にゲート電極2を形成し、このゲート電極2を覆うように窒化シリコン(SiN)からなるゲート絶縁膜3を形成し、このゲート絶縁膜3の上に上記ゲート電極2と対向させてi型アモルファスシリコン(i-a-Si)からなるi型半導体層4を形成し、さらにこのi型半導体層4の上にn型アモルファスシリコン(n-a-Si)からなるn型半導体層5を介してソース・ドレイン電極6、7を形成するようにしている。

ところで、このような薄膜トランジスタは、絶縁性基板1上に形成されるゲート電極2として、



RECEIVED
MAR 16 2001
TC 2800 MAIL ROOM

銅 (Cu)、アルミニウム (Al) などの導電性金属が用いられている。このため、ゲート電極 2 を覆うゲート絶縁膜 3 に欠陥 (ピンホールやクラック) を生じると、ゲート電極 2 とドレイン電極 6 の間あるいはゲート電極 2 とソース電極 7 の間でショートが発生し、薄膜トランジスタ製造上での歩留りの低下を招く欠点があった。

そこで、この欠点を解決するために第 4 図に示す構造の薄膜トランジスタが提案されている。すなわち、ゲート電極 2 として、タンタル (Ta) からなるゲート金属 2a の表面を陽極酸化してタンタルオキシサイド (TaO) の絶縁層 2b を形成したものを用いることにより、ゲート電極 2 とドレイン電極 6 の間あるいはゲート電極 2 とソース電極 7 の間でのショートを防止し、薄膜トランジスタ製造上での歩留りの低下を防止するようにしたものである。

〔発明が解決しようとする課題〕

しかしながら、ゲート電極 2 として、タンタル (Ta) からなるゲート金属 2a の表面を陽極酸

化してタンタルオキシサイド (TaO) の絶縁層 2b を形成したものを用いると、タンタル (Ta) からなるゲート金属 2a 部での電気抵抗が大きくなるため、薄膜トランジスタの動作特性を著しく低下させる欠点があった。

本発明は、上記事情に鑑みてなされたもので、製造上での歩留りを改善できるとともに、動作特性の優れた薄膜トランジスタを提供するとともに、合わせてその製造方法を提供することを目的とする。

〔課題を解決するための手段〕

本発明の薄膜トランジスタは、絶縁性基板上に低抵抗の第 1 のゲート金属と該第 1 のゲート金属上に形成される少なくとも陽極酸化が行われた第 2 のゲート金属とからなるゲート電極を形成し、このゲート電極上にゲート絶縁膜、i 型半導体層、n 型半導体層およびソース・ドレイン電極を形成したものである。

また、本発明の薄膜トランジスタの製造方法は、絶縁性基板上に低抵抗の導電性金属膜よりなる第

1 のゲート金属を形成し、上記第 1 のゲート金属上に第 2 のゲート金属を形成して上記第 2 のゲート金属の少なくとも表面を陽極酸化して絶縁層を形成することによりゲート電極を形成する工程と、この後、ゲート絶縁膜、i 型半導体層、n 型半導体層およびソース・ドレイン電極を形成する工程とからなるものである。

〔作用〕

本発明の薄膜トランジスタは、基板上に形成されるゲート電極を、低抵抗の第 1 のゲート金属と該第 1 のゲート金属上に形成される少なくとも表面が陽極酸化された第 2 のゲート金属から構成するようにしたので、第 2 のゲート金属上に形成される陽極酸化による絶縁層によりゲート電極とドレイン電極との間、あるいはゲート電極とソース電極の間で生じるショートを防止することができ、さらに低抵抗の第 1 のゲート金属によりゲート電極における電気抵抗の低減を実現でき、電気特性の優れたものになる。

また、本発明の薄膜トランジスタの製造方法に

よれば、絶縁性基板上に低抵抗の第 1 のゲート金属を形成した後、第 1 のゲート金属上全面に第 2 のゲート金属を形成するとともに、第 2 のゲート金属の少なくとも表面を陽極酸化して絶縁層を形成してゲート電極を得るようにしているので、ゲート電極とドレイン電極との間、あるいはゲート電極とソース電極の間で生じるショートを防止できるとともに、製造上での歩留りを改善できる。

〔実施例〕

以下、本発明の一実施例を図面に示したがい説明する。

第 1 図は、同実施例の逆スタガー型薄膜トランジスタの断面を示すものである。図において、11 はガラスなどからなる絶縁性基板で、この絶縁性基板 11 上にゲート電極 12 を形成している。この場合、ゲート電極 12 は、クロム (Cr)、アルミニウム (Al)、金 (Au) などの低抵抗金属からなる第 1 のゲート金属 121 の上にタンタル (Ta) からなる第 2 のゲート金属 122 を形成し、この第 2 のゲート金属 122 の表面を陽

極酸化してタンタルオキサイド (TaO) の絶縁層 123 を形成したものからなっている。

そして、このゲート電極 12 を覆うように窒化シリコン (SiN) からなるゲート絶縁膜 13 を形成している。さらに、このゲート絶縁膜 13 の上には、ゲート電極 12 と対向させて i 型アモルファスシリコン ($i-a-Si$) からなる i 型半導体層 14 を形成し、この i 型半導体層 14 の上に n 型アモルファスシリコン ($n-a-Si$) からなる n 型半導体層 15 を介してソース・ドレイン電極 16、17 を形成している。

第 2 図は、上記薄膜トランジスタの製造方法を工程順に示したものである。

まず、第 2 図 (a) に示すようにガラスなどの絶縁性基板 11 上にクロム (Cr) などの低抵抗の導電性金属膜を成膜し、不要部分をエッチングして第 1 のゲート金属 121 を形成する。

次いで、基板 11 および第 1 のゲート金属 121 全面にネガレジスト 18 を塗布し、基板 11 裏面からの露光により、同図 (b) に示すよ

導体層 15 を積層形成するとともに、n 型半導体層 15 の上に、ソース・ドレイン電極 16、17 の金属膜を形成する。そして、ソース・ドレイン領域、デバイスエリアなどのエッチングを行い薄膜トランジスタを完成する。

しかして、このように構成した薄膜トランジスタにおいては、絶縁性基板 11 上に形成されるゲート電極 12 の構成として、クロム (Cr)、アルミニウム (Al)、金 (Au) などの低抵抗金属からなる第 1 のゲート金属 121 の上にタンタル (Ta) からなる第 2 のゲート金属 122 を形成し、この第 2 のゲート金属 122 の表面を陽極酸化してタンタルオキサイド (TaO) の絶縁層 123 を形成するようにしたので、第 2 のゲート金属 122 を陽極酸化することにより得られた絶縁層 123 によりゲート電極 12 とドレイン電極 16、あるいはゲート電極 12 とソース電極 17 との間で生じるショートを実質に防止することができる。さらに低抵抗金属からなる第 1 のゲート金属 121 によりゲート電極 12 の電気抵抗の低

減に第 1 のゲート金属 121 部分のレジストを除去する。この場合、露光量を調整することにより第 1 のゲート金属 121 とレジスト 18 との間に数百 Å 程度の隙間を形成するようにする。

次に、同図 (c) に示すように第 1 のゲート金属 121 およびレジスト 18 の全面に第 2 のゲート金属 122 となるタンタル (Ta) を成膜する。そして、同図 (d) に示すようにレジスト 18 を除去する。この時、同レジスト 18 上のタンタル (Ta) も一緒に除去される。そして、第 2 のゲート金属 122 をなすタンタル (Ta) の表面を陽極酸化してタンタルオキサイド (TaO) の絶縁層 123 を形成する。

この後は、同図 (e) に示すように基板 11 全面にわたって窒化シリコン (SiN) をプラズマ CVD 法などにより堆積させて、ゲート絶縁膜 13 を形成し、さらに、i 型アモルファスシリコン ($i-a-Si$)、n 型アモルファスシリコン ($n-a-Si$) をプラズマ CVD 法などにより連続して堆積させて i 型半導体層 14 と n 型半

導化が実現できるので、動作特性の優れた薄膜トランジスタが得られる。

また、上述の薄膜トランジスタの製造方法によれば、絶縁性基板 11 上に低抵抗の導電性金属膜よりなる第 1 のゲート金属 121 を形成した後、上記基板 11 および第 1 のゲート金属 121 全面にネガレジスト 18 を塗布し上記基板 11 裏面からの露光により第 1 のゲート金属 121 部分のレジストを除去するとともに第 1 のゲート金属 121 と上記レジスト 18 との間に隙間を形成し、この後、第 1 のゲート金属 121 およびレジスト 18 の全面に第 2 のゲート金属 122 を形成し、上記レジスト 18 を除去するとともに第 2 のゲート金属 122 の表面を陽極酸化して絶縁層 123 を形成することによりゲート電極 12 を形成するようにしたので、ゲート電極 12 とドレイン電極 16 との間、あるいはゲート電極 12 とソース電極 17 との間で生じるショートを防止でき、薄膜トランジスタの製造上の歩留りを改善できる。さらに、ゲート電極 12 での電気抵抗の低減を可能

にした薄膜トランジスタを製造することができる。

なお、第2のゲート電極122の陽極酸化により形成される絶縁層123の層厚は、第1のゲート電極121とドレイン・ソース電極16、17とのショートを実際に防止できる厚さであればよく、第2のゲート電極を厚さすべてを陽極酸化してもよい。また、本発明は上記実施例にのみ限定されず、要旨を変更しない範囲で適宜変形して実施できる。例えば、上述した実施例では、逆スタガー型薄膜トランジスタについて述べたが、逆コプラナー型薄膜トランジスタにも適用することができる。

〔発明の効果〕

本発明の薄膜トランジスタは、絶縁性基板上に低抵抗の第1のゲート金属と該第1のゲート金属上に形成される少なくとも表面が陽極酸化された第2のゲート金属からなるゲート電極を形成し、このゲート電極上にそれぞれゲート絶縁膜、i型半導体層、n型半導体層およびソース・ドレイン電極を形成するようにしたもので、基板上に形成

されるゲート電極を、低抵抗の第1のゲート金属と該第1のゲート金属上に形成される陽極酸化された第2のゲート金属から構成するようにしたので、第2のゲート金属上に形成される陽極酸化による絶縁層によりゲート電極とドレイン電極との間、あるいはゲート電極とソース電極との間で生じるショートを実際に防止することができ、しかも低抵抗の第1のゲート金属によりゲート電極における電気抵抗の低減も実現でき、動作特性の優れた薄膜トランジスタが得られる。

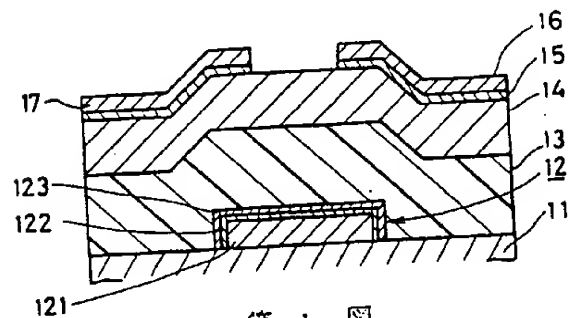
また、本発明の薄膜トランジスタの製造方法は、絶縁性基板上に低抵抗の導電性金属膜よりなる第1のゲート金属を形成し、上記第1のゲート金属上に第2のゲート金属を形成して上記第2のゲート金属の少なくとも表面を陽極酸化して絶縁層を形成することによりゲート電極を形成する工程と、この後、ゲート絶縁膜、i型半導体層、n型半導体層およびソース・ドレイン電極を形成するようにしたので、ゲート電極とドレイン電極との間、あるいはゲート電極とソース電極との間で生じる

ショートを防止できるとともに、製造上での歩留りを改善できる。

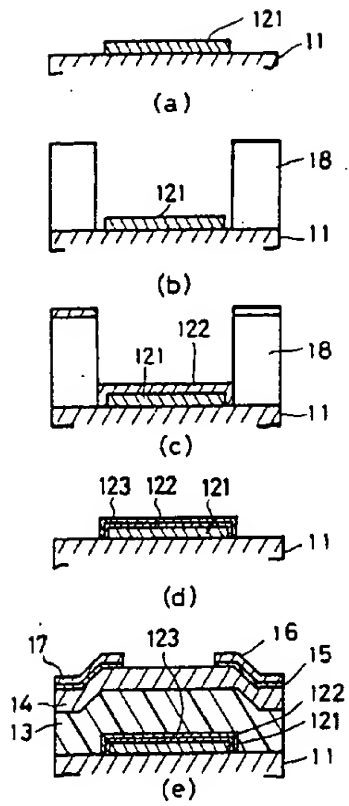
4. 図面の簡単な説明

第1図は、本発明の薄膜トランジスタの一実施例を示す断面図、第2図は、同薄膜トランジスタの製造方法を工程順に示す図、第3図および第4図は、それぞれ従来の薄膜トランジスタを示す断面図である。

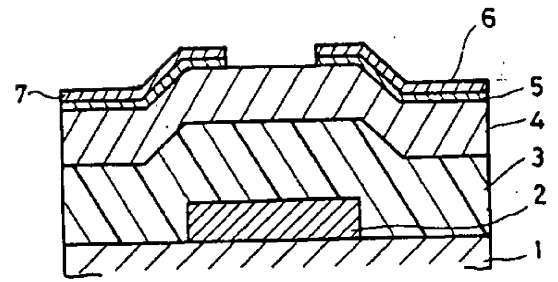
11…基板、12…ゲート電極、121…第1のゲート金属、122…第2のゲート金属、123…絶縁層、13…ゲート絶縁層、14…i型半導体層、15…n型半導体層、16…ソース・ドレイン電極。



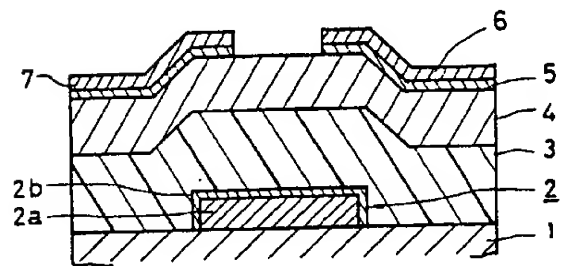
第1図



第 2 図



第 3 図



第 4 図